

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-261252

(43)Date of publication of application : 22.09.2000

(51)Int.Cl.

H03F 1/32

(21)Application number : 11-065911

(71)Applicant : KOKUSAI ELECTRIC CO LTD

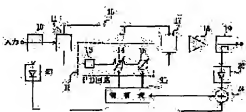
(22)Date of filing : 12.03.1999

(72)Inventor : FUJISAWA KAZUHIRO

**(54) DISTORTION COMPENSATION POWER AMPLIFICATION CIRCUIT****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To reduce the circuit scale of a distortion compensation power amplification circuit where envelope feedback control is applied to the complex synthesis PD method and to reduce the cost.

**SOLUTION:** Part of an input signal before being divided into two by a distributor 11 is extracted by a directional coupler 10 and is subjected to envelope detection by a detector 23 to obtain a reference input of an error detector 24. Meanwhile, part of the output of a power amplifier 18 is extracted and the signal obtained by envelope detection is inputted to the error detector 24 to detect the difference (distortion component) from the reference input. A control part 25 controls the amplitude and phase of the tertiary distortion of the opposite polarity generated by a tertiary distortion generator 13 so that this difference is made 0.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(51) Int.Cl.<sup>7</sup>  
H 0 3 F 1/32

識別記号

F I  
H 0 3 F 1/32テーマコード(参考)  
5 J 0 9 0

審査請求 未請求 請求項の数 1 O L (全 4 頁)

(21) 出願番号 特願平11-65911

(22) 出願日 平成11年3月12日 (1999.3.12)

(71) 出願人 000001122

国際電気株式会社  
東京都中野区東中野三丁目14番20号

(72) 発明者 藤沢 和弘

東京都中野区東中野三丁目14番20号 国際  
電気株式会社内

(74) 代理人 100069257

弁理士 大塚 学

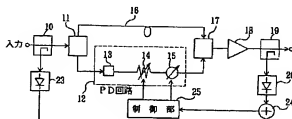
Fターム(参考) 5J090 AA04 AA41 CA27 FA08 GN03  
GN04 GN07 HA19 HA26 HN03  
HN07 HN14 KA15 KA16 KA23  
KA26 KA55 MA14 MA20 SA14  
TA01 TA02 TA03

(54) 【発明の名称】 歪補償電力増幅回路

(57) 【要約】

【課題】複素合成PD法に包絡線帰還制御を適用した歪補償電力増幅回路の回路規模を縮小してコストを低減する。

【解決手段】分配器11で2分配する前の入力信号の一部を方向性結合器10で抽出して検波器23で包絡線検波し、誤差検出器24の基準入力とする。一方、電力増幅器18の出力の一部を抽出して包絡線検波した信号を誤差検出器24に入力して基準入力との差(歪成分)を検出する。制御部25はその差が零になるように3次歪発生器13で発生させた逆極性3次歪の振幅と位相を制御するように構成した。



1

## 【特許請求の範囲】

【請求項1】 デジタル変調された単一キャリアの入力信号を電力増幅して送信出力とする場合の電力増幅器の非線形性によって発生し隣接チャネルに対する漏洩電力となる歪成分を抑制するために、

前記入力信号を2分配する分配器と、

該分配器で2分配された一方の信号を入力し、前記電力増幅器の非線形性によって発生する歪と逆極性の3次歪を発生させる歪発生器と、

該歪発生器の出力の振幅を制御信号によって変化させる可変減衰器と、

該可変減衰器の出力の移相量を制御信号によって変化させる可変移相器と、

該可変移相器の出力と前記分配器で2分配された他方の信号を遅延させた信号とを合成する合成器と、

該合成器で合成された信号を電力増幅して送信出力とする電力増幅器と、

前記入力信号の一部を抽出して包絡線検波する第1の検波器と、

前記送信出力の一部を抽出して包絡線検波する第2の検波器と、

前記第1の検波器から出力される無歪の包絡線検波出力を基準信号とし、前記第2の検波器の出力と比較してその差である歪成分を出力する誤差検出器と、

該誤差検出器から出力される歪成分がゼロになるような前記制御信号をそれぞれ前記可変減衰器と前記可変移相器に与える制御部とが備えられ、

前記電力増幅器で発生し隣接チャネルに対する漏洩電力となる前記歪成分が前記歪発生器によって発生させた逆極性の3次歪によって相殺されるように構成された歪補償電力増幅回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、VHF、UHF帯のデジタル移動通信の基地局無線設備に実装される送信機の電力増幅回路に関し、特に、電力増幅器の発生歪を抑えて電力効率を上げるための歪補償回路が付加された電力増幅回路に関するものである。

## 【0002】

【従来の技術】 デジタル移動通信の基地局送信装置には、電力用トランジスタを用いた電力増幅回路が設けられている。基地局の電力増幅回路は、線形性が良く、高出力で歪の少ないA級またはAB級動作で、終段はパラレル合成またはプッシュプル構成による回路が一般的である。

【0003】 図3は電力増幅器の入出力特性例図である。デジタル変調された単一キャリア信号(CW)の入力電力 $P_{in}$ に対する出力電力 $P_{out}$ と3次歪の特性例図である。入力電力 $P_{in}$ が大きくなると、出力電力 $P_{out}$ とともに3次歪が1:3の傾斜に添って増加し、出力電力

2

$P_{out}$ が非線形領域にかかる増加が顕著になる(3次歪劣化点)。その点と出力電力との差が3次相互変調歪(IM<sub>3</sub>)である。また、この図には、例えば、入力信号が $\pi/4$ シフトQPSK変調されたデジタル信号の場合の送信出力における隣接チャネルに対する漏洩電力(ACP)を示している。

【0004】 このように、入力電力が大きくなると、入出力特性が非線形性を示すようになる。デジタル変調された単一キャリアの場合、入力電力が大きくなると、出力電力に歪成分が含まれるようになる。また、多周波信号の場合は入力が大きくなると相互変調歪(IM<sub>x</sub>)が発生するようになる。このような歪が発生するとスプリアス放射として規制されるため、最大出力が、増幅器の飽和レベルよりかなり低い値に制限されるので、増幅器の電力効率が低下することになる。

【0005】 上述の単一キャリア入力の増加による出力劣化や多周波入力による相互変調歪の発生は、図からわかるように、主として3次歪の発生によるものであり、このような3次歪を補償する歪補償技術の数々が開発され実用化されている。

【0006】 プリディストーション(PD)は歪補償技術の一つであり、電力増幅器の前段に電力増幅器で発生する歪成分を相殺するための信号を発生させるプリディストーション回路(PD回路：前置歪み補償回路)を設けて、電力増幅器の発生歪を相殺して歪量を改善し、電力効率を向上しようとするものである。

【0007】 図4は従来の歪補償電力増幅回路のブロック図である。この例は、複素合成PD法に包絡線遅延制御を適用した歪補償電力増幅回路である。図において、11は分配器、12はPD回路、13は歪発生器、14は可変減衰器、15は可変移相器、16は遅延線、17は合成器、18は電力増幅器、19は方向性結合器、20は検波器、21は制御部、22はメモリである。

【0008】 例えば、入力信号として $\pi/4$ シフトQPSK変調された単一キャリア信号が入力され、分配器11によって遅延線16とPD回路12に分配される。PD回路12の歪発生器13は3次歪発生器であり、デジタル変調された単一キャリアの入力信号の極性を反転して3次歪を発生させ、無歪の正値(非反転)キャリア入力信号と合成してキャリア成分を相殺し、逆極性の3次歪のみを出力する。その出力は、可変減衰器14と可変移相器15で振幅と位相が調整され、合成器17で、遅延線16を介した信号と合成される。その合成信号は電力増幅器18で増幅されるが、そのとき電力増幅器18で発生する3次歪成分が、PD回路12で発生させた逆極性の3次歪成分によって相殺されて歪補償された送信出力が得られる。送信出力に含まれる残留歪を検出するため、その一部が方向性結合器19によって抽出され、検波器20で包絡線検波されて制御部21に送られる。

【0009】 一方、メモリ22には、送信出力が無歪の

3

ときの包絡線検波後の波形データが、予め格納されており、制御部 21 は、検波器 20 から入力されたデータをメモリ 22 のデータと比較し、その差（歪成分）が零になるように、可変減衰器 14 と可変移相器 15 の値を制御する。

【0010】

【発明が解決しようとする課題】しかし、上記従来の歪補償電力増幅回路においては、メモリ 22 に記憶させておく包絡線検波後の波形データのデータ量が多いため、回路規模が大きく、かつ、高価である、という問題がある。さらに、このような歪補償電力増幅回路が実装された送信機を工場で多数生産する場合、電力増幅器の構成部品の性能のばらつきにより、無歪状態の出力信号を解析した波形データがばらつくため、多数の製品を一台ずつ測定してメモリ 22 にデータを格納しなければならず、工数がかかって原価が下げられない、という問題がある。

【0011】発明の目的は、上記従来の問題点を解消するためにに行ったものであり、簡単な回路を付加することによりメモリを省略して歪補償電力増幅回路の回路規模を小さくするとともに、多数生産する場合、一台ずつの調整作業をなくして工数を軽減し、コストを下げられるようにした歪補償電力増幅回路を提供することにある。

【0012】

【課題を解決するための手段】本発明の歪補償電力増幅回路は、デジタル変調された単一キャリアの入力信号を電力増幅して送信出力とする場合の電力増幅器の非線形性によって発生し隣接チャネルに対する漏洩電力となる歪成分を抑制するために、前記入力信号を 2 分配する分配器と、該分配器で 2 分配された一方の信号を入力し、前記電力増幅器の非線形性によって発生する歪と逆極性の 3 次歪を発生させる歪発生器と、該歪発生器の出力の振幅を制御信号によって変化させる可変減衰器と、該可変減衰器の出力の移相量を制御信号によって変化させる可変移相器と、該可変移相器の出力と前記分配器で 2 分配された他方の信号を遅延させた信号とを合成する合成器と、該合成器で合成された信号を電力増幅して送信出力とする電力増幅器と、前記入力信号の一部を抽出して包絡線検波する第 1 の検波器と、前記送信出力の一部を抽出して包絡線検波する第 2 の検波器と、前記第 1 の検波器から出力される無歪の包絡線検波出力を基準信号とし、前記第 2 の検波器の出力と比較してその差である歪成分を出力する誤差検出器と、該誤差検出器から出力される歪成分がゼロになるような前記制御信号をそれぞれ前記可変減衰器と前記可変移相器に与える制御部とが備えられ、前記電力増幅器で発生し隣接チャネルに対する漏洩電力となる前記歪成分が前記歪発生器によって発生された逆極性の 3 次歪によって相殺されるように構成されたことを特徴とするものである。

【0013】

4

【発明の実施の形態】図 1 は本発明の実施例を示すブロック図である。図において、分配器 11 と合成器 17 の間の PD 回路 12 と遅延線 18、及び、電力増幅器 18、方向性結合器 19、検波器 20 は従来と同じである。10 は入力信号の一部を抽出する方向性結合器、23 は抽出した入力信号を包絡線検波する検波器、24 は誤差検出器である。入力側の検出器 23 と出力側の検出器 20 は、共に忠実に入力される信号を検波し、比較誤差（歪成分）が確実に検出できるように、方向性結合器または抵抗減衰器によって入力レベルがほぼ同じになるように調整されている。

【0014】誤差検出器 24 は、差動増幅回路で構成され、例えば、 $\pi/4$  シフト QPSK のデジタル変調された入力信号を検波器 23 で包絡線検波した無歪包絡線信号と比較規準とし、送信出力を検波器 20 で包絡線検波した信号との差（歪成分）を求めて制御部 25 に与える。制御部 25 は、その歪成分が零になるように可変減衰器 14 と可変移相器 15 を制御する。

【0015】上記のように、本発明では、入力信号の一部を包絡線検波した無歪包絡線信号を規準信号とすることによって従来のメモリを省略し、電力増幅された送信出力の一部を包絡線検波した信号と比較して送信出力に含まれる歪成分をとり出し、歪発生器 13 で発生した相殺用の歪成分の振幅と位相を制御することによって送信出力の歪を相殺し、電力増幅器 18 の電力効率を高めたことを要旨とするものである。

【0016】図 2 は本発明の効果を示す送信出力の周波数スペクトラムである。送信周波数  $f$  のプラス側隣接チャネル（+）A dj. ch.）とマイナス側隣接チャネル（-）A dj. ch.）における所定の帯域の電力、即ち、隣接チャネル漏洩電力（ACP）は、補償“なし”のとき（+）側 -38.75 dB、（-）側 -38.00 dB）に対し、補償“あり”のとき（+）側 -48.00 dB、（-）側 -49.25 dB）となり、約 10 dB の改善量が得られ、実用上極めて大きい改善結果が得られた。

【0017】図 3 は、前述のように、電力増幅器の入出力特性に ACP の特性を記入したものであり、補償“あり”のときの ACP が、“なし”のときと比べて約 10 dB の改善が得られている。歪改善量は、2～3 dB でも実用上は低消費電力化の効果があることを考えれば、約 10 dB の改善は極めて著しい改善である。

【0018】

【発明の効果】以上詳細に説明したように、本発明を実施することにより、簡単な回路を付加するだけでメモリを省略できるので回路規模を縮小することができコストを下げることができる。さらに、多数の送信機を生産する場合の調整工数が削減され、装置のコスト低減に極めて著しい効果を発揮する。さらに、本発明は、次世代移動通信システムの W-CDMA（広帯域 CDMA：Wide

band Code Division Multiple Access) システムにおいても適用することができる。

【図面の簡単な説明】

【図 1】本発明の実施例を示すブロック図である。

【図 2】本発明の効果を示す送信出力の周波数スペクトラムである。

【図 3】本発明の効果を示す電力増幅器の入出力特性図である。

【図 4】従来の歪補償電力増幅回路のブロック図である。

【符号の説明】

10、19 方向性結合器

11 分配器

\* 12 PD回路

13 歪発生器

14 可変減衰器

15 可変移相器

16 遅延線

17 合成器

18 電力増幅器

20 検波器

21 制御部

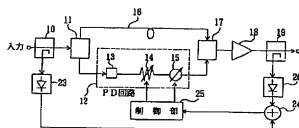
10 22 メモリ

23 検波器

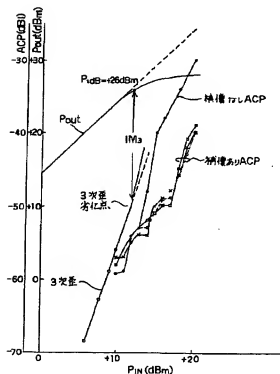
24 誤差検出器

\* 25 制御部

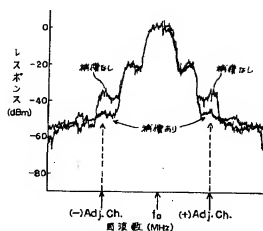
【図 1】



【図 3】



【図 2】



【図 4】

